

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-110583

(43)Date of publication of application : 30.04.1993

(51)Int.Cl.

H04L 12/48

H04L 13/10

(21)Application number : 03-264716

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 14.10.1991

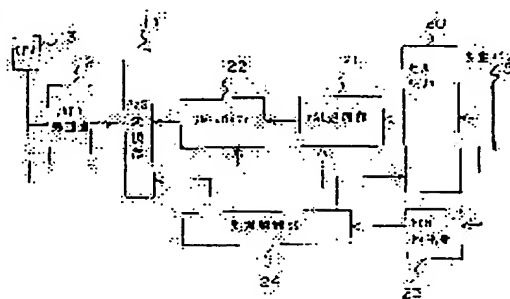
(72)Inventor : KAWADA HIKARI

(54) ATM COMMUNICATION CONTROLLER

(57)Abstract:

PURPOSE: To obtain the ATM communication controller which can execute call connection irrespective of an increase of the number of virtual path connections, and can make a scale of the device small.

CONSTITUTION: This controller is constituted by providing a call control part having a cell buffer 20 for buffering a receiving cell from an ATM network in the form of a cell, an AAL processing part 21 for executing in common and serially the adaptation processing of every connection, and a frame buffer 22 for buffering temporarily an assembled frame.



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-110583

(43)公開日 平成5年(1993)4月30日

| (51)Int.Cl. ⁵ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|--------------------------|------|--------------------|----------------|--------|
| H 0 4 L 12/48 13/10 | | 8020-5K 8529-5K | H 0 4 L 11/ 20 | Z |

審査請求 未請求 請求項の数1(全 6 頁)

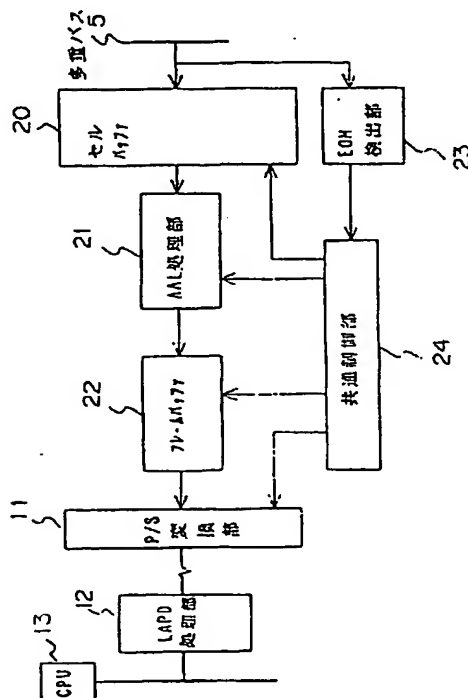
| | | | |
|----------|------------------|---------|--|
| (21)出願番号 | 特願平3-264716 | (71)出願人 | 000006013 三菱電機株式会社 東京都千代田区丸の内二丁目2番3号 |
| (22)出願日 | 平成3年(1991)10月14日 | (72)発明者 | 川和田 光 鎌倉市大船五丁目1番1号 三菱電機株式 会社通信システム研究所内 |
| | | (74)代理人 | 弁理士 高田 守 (外1名) |

(54)【発明の名称】 ATM通信制御装置

(57)【要約】

【目的】 パーチャルバスコネクションの数の増加に関係なく呼接続でき、装置規模を小さくできるATM通信制御装置を得ることを目的とする。

【構成】 この発明に係わるATM通信制御装置は、ATM網からの受信セルをセルの形でバッファリングするセルバッファ20と、各コネクション毎のアダプテーション処理を共通に、かつシリアルに実行するAAL処理部21と、組立てられたフレームを一時バッファリングするフレームバッファ22とを有する呼制御部を備えて構成したものである。



【特許請求の範囲】

【請求項1】 固定長セルで伝送するATM網に収容される端末において、複数の呼接続を実現する場合に、網から受信したセルを各コネクション毎にセルの形で格納するセルバッファと、フレームの最後のセル到着の検出を行うEOM検出部と、上記フレームの最後のセル到着タイミングに基づいて各コネクション対応毎のフレーム組立てのアダプテーションレイヤ処理を共通に行うAAL処理部と、上記のアダプテーションレイヤ処理されたフレームを蓄えるフレームバッファと、上記フレームバッファからDチャネル・リンク・アクセス手順を処理するLAP-D処理部へフレームをパラレル／シリアル変換して送出するパラレル／シリアル変換部とを備えたことを特徴とするATM通信制御装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明はATM網に収容される端末のATM通信制御装置に関する。

【0002】

【従来の技術】図7は、特開平2-170743公報に開示されたものと同様のアダプテーションレイヤ処理を行うATM通信制御装置の呼制御部のブロック構成図である。図4は従来例及び本発明に共通のATM通信制御装置全体のブロック構成図であり、2は呼制御部、3は回線制御部、4はデータ制御部、5は多重バス、6はユーザネットワーク・インタフェース（以下、UNIと呼ぶ）、7は外部インタフェースである。

【0003】図5は従来例及び本発明に共通の一つの端末が複数の呼接続を行う場合のマルチコネクションの概念を示したものであり、端末#Aが端末#B、#C、#Dとマルチコネクションで呼接続される場合を示している。図6は従来例及び本発明に共通のATM通信におけるセル構成とフレーム構成の関係を説明する図である。セル構成においてST（セグメントタイプ）はフレーム情報の最初／中間／最後の識別に使用され、SN（シーケンス番号）はセルの順序管理に使用される。また、CRCは巡回符号を用いて、上記のST/SN/情報領域の誤り検出を行う符号である。

【0004】図7は図4の従来のATM通信制御装置の呼制御部の内部構成図である。図において、8は多重バス5からのセルをコネクション識別子により各処理部へ送出するセル分離部、9a～9nはアダプテーションレイヤ処理を行うAAL処理部、10a～10nはAAL処理部で処理されたセルをフレームに構成するフレームバッファ、11はフレームをパラレル／シリアル変換して送出するP/S変換部、12はDチャネル・リンク・アクセス手順を処理するLAP-D処理部、13はLAP-D処理部12を制御するCPUである。

【0005】受信の場合の呼制御部動作を図7を参照して説明する。多重バス5からの受信セルは、セル分離部

においてセルヘッダのコネクション識別子により各コネクションのAAL処理部（例えば9a）に送られる。ここでアダプテーションレイヤの処理を行い、シーケンス番号のチェック、CRC方式による誤りの検出等が行われ、正常に受信されたセルはフレームバッファ10aに送られてフレームに組立てられ、フレームを構成する最後のセルが到着したら、P/S変換部12を経由してLAP-D処理部12に送出される。

【0006】

【発明が解決しようとする課題】従来のATM通信制御装置の呼制御部は以上のように構成されているので、複数対地毎にバーチャルバスコネクションを張る場合に、各々に対してバーチャルバスのセルのアダプテーション処理をするためのハードウェアを持つ必要があり、バーチャルバスコネクションの数の増加に伴い装置規模が大きくなるという課題があった。

【0007】この発明は、上記のような課題を解消するためになされたもので、バーチャルバスコネクションの数の増加に関係なく呼接続でき、装置規模を小さくできるATM通信制御装置を得ることを目的とする。

【0008】

【課題を解決するための手段】上記の目的を達成するために、この発明に係わるATM通信制御装置は、固定長セルで伝送するATM網に収容される端末において、複数の呼接続を実現する場合に、網から受信したセルを各コネクション毎にセルの形で格納するセルバッファと、フレームの最後のセル到着の検出を行うEOM検出部と、上記フレームの最後のセル到着タイミングに基づいて各コネクション対応毎のフレーム組立てのアダプテーションレイヤ処理を共通に行うAAL処理部と、上記のアダプテーションレイヤ処理されたフレームを蓄えるフレームバッファと、上記フレームバッファからDチャネル・リンク・アクセス手順を処理するLAP-D処理部へフレームをパラレル／シリアル変換して送出するパラレル／シリアル変換部とを備えるようにしたものである。

【0009】

【作用】上記のように構成されたこの発明に係わるATM通信制御装置の呼制御部では、セルバッファと、AAL処理部と、フレームバッファとを有して、ATM網からの受信セルを一旦、セルの形でバッファリングし、フレームの最後のセルの到着後に、各コネクション毎のアダプテーション処理を共通のAAL処理部で、シリアルに実行してフレーム組立て（アダプテーションレイヤ処理）を行うことにより、複数のバーチャルバスコネクションに対しハードウェアの規模を増大せずに対応できる。

【0010】

【実施例】以下、この発明の実施例1を図を参照して説明する。なお、前記従来例と同一、又は相当部分には同

一符号を用いて、その説明は省略する。

【0011】図1は本発明の実施例1を示すATM通信制御装置の呼制御部のブロック構成図である。図において、20は多重バス5上の呼制御コネクションの受信セルをコネクション識別子により判別取り込み蓄積するセルバッファ、21はアダプテーションレイヤの処理を行うAAL処理部、22はAAL処理された正常な受信セルを集めて1個のフレームに構成するフレームバッファ、23はフレームの最終セルを検出するEOM（メッセージ終了）検出部、24は上記セルバッファ20の読み出し制御と、AAL処理部21の処理タイミングの生成と、フレームバッファの制御とを行う共通制御部である。

【0012】図2は図1のセルバッファ20上における受信セルの配置（格納位置）図である。バッファは各コネクション毎に対応するメモリ領域を設けられ、例えば、コネクションBのセルが受信された場合、コネクション識別子により振り分けられコネクションBのメモリ上にシーケンス番号順に格納される。

【0013】図3は図1のAAL処理部の内部構成図である。図中、26は巡回符号を用いた誤り検出を行うCRC検出部、27はシーケンス番号のチェック部、28はフレームバッファIF（インタフェース）部である。

【0014】次に動作について説明する。図1において、多重バス5からの受信セルは、セルヘッダのコネクション識別子によりセルバッファ20に各コネクション対応のメモリ領域にシーケンス番号順に書き込まれる。次にフレーム構成の最終セルが到着したことをEOM検出部23において検出すると、共通制御部24に通知する。そして、共通制御部24はセルバッファ20から特定のコネクションに関するセルのみを取り出してAAL処理部21に送り、ここでアダプテーションレイヤの処理を行い、シーケンス番号のチェック、CRC方式による誤りの検出を実行させ、正常に受信されたセルはフレームバッファ22に順に送り、フレームの形に構成し、P/S変換部11を経由してLAP-D処理部12に送出する。

【0015】

【発明の効果】この発明は、以上のように構成されているので、以下のような効果を奏する。

【0016】セルバッファと、AAL処理部と、フレームバッファを備え、ATM網からの受信セルをフレームが構成されるまで、セルの形でバッファリングして、共通のAAL処理部でフレーム処理することにより、パッチルバスコネクションの数に関係なく呼接続でき、装置規模を小さくできるATM通信制御装置を得ることができる。

【図面の簡単な説明】

【図1】本発明の実施例1を示すATM通信制御装置の呼制御部の内部構成図である。

【図2】図1のセルバッファ上のセル配置図である。

【図3】図1のAAL処理部の内部構成図である。

【図4】従来例及び本発明に共通のATM通信制御装置全体のブロック構成図である。

【図5】従来例及び本発明に共通のマルチコネクションの概念を説明する図である。

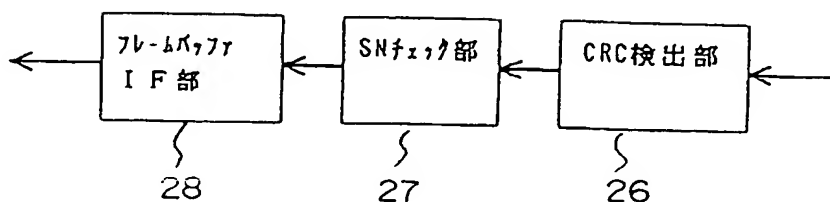
【図6】従来例及び本発明に共通のATM通信におけるセル構成とフレーム構成の関係を説明する図である。

【図7】図4の従来のATM通信制御装置の呼制御部の内部構成図である。

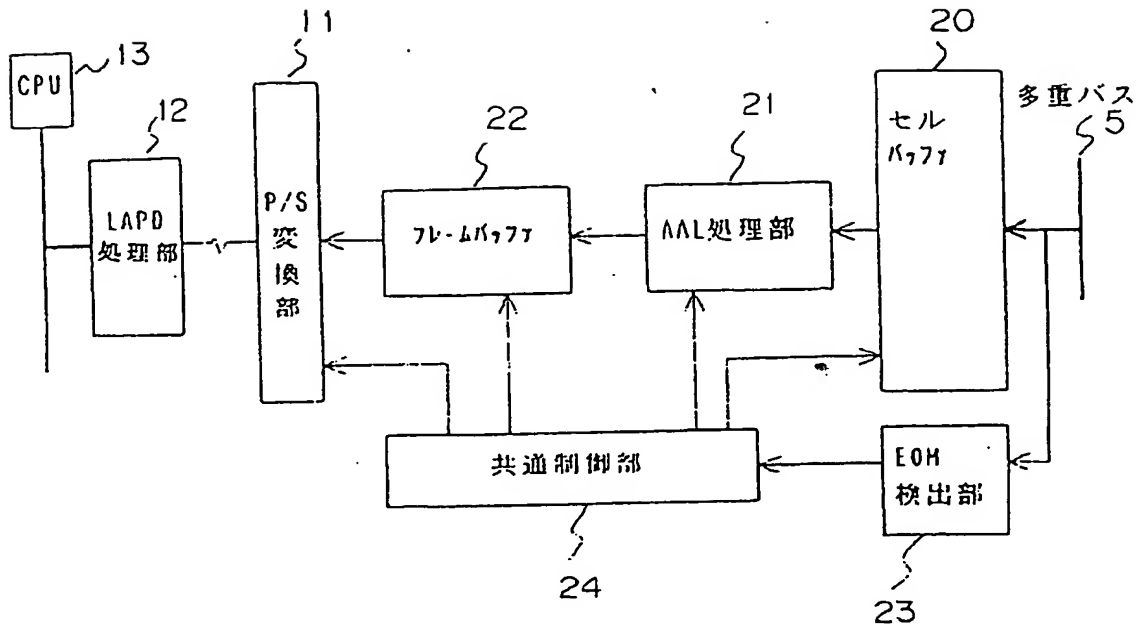
【符号の説明】

- 1 ATM通信制御装置
- 2 呼制御部
- 3 回線制御部
- 4 データ制御部
- 5 多重バス
- 6 UNI（ユーザネットワーク・インタフェース）
- 7 外部インタフェース
- 11 P/S（パラレル/シリアル）変換部
- 12 LAP-D（Dチャネル・リンク・アクセス手順）処理部
- 13 CPU
- 20 セルバッファ
- 21 AAL処理部
- 22 フレームバッファ
- 23 EOM（メッセージ終了）検出部
- 24 共通制御部
- 26 CRC検出部
- 27 SN（シーケンス番号）チェック部
- 28 フレームバッファIF部

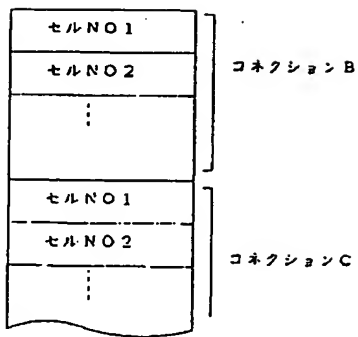
【図3】



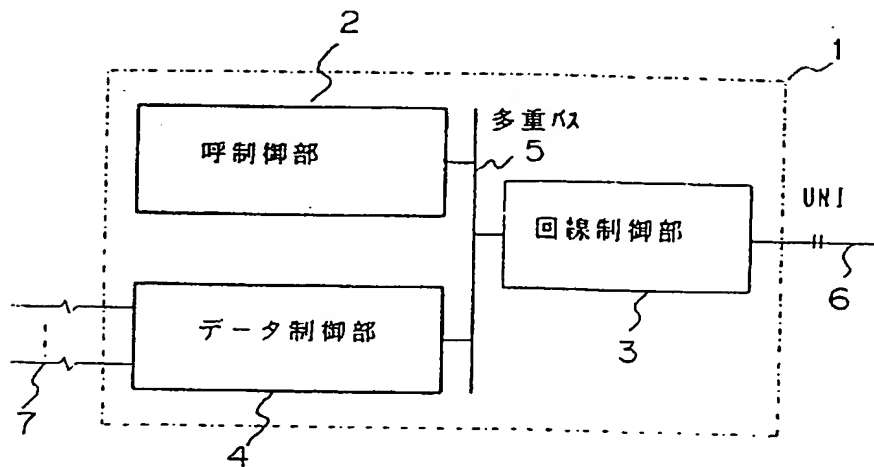
【図1】



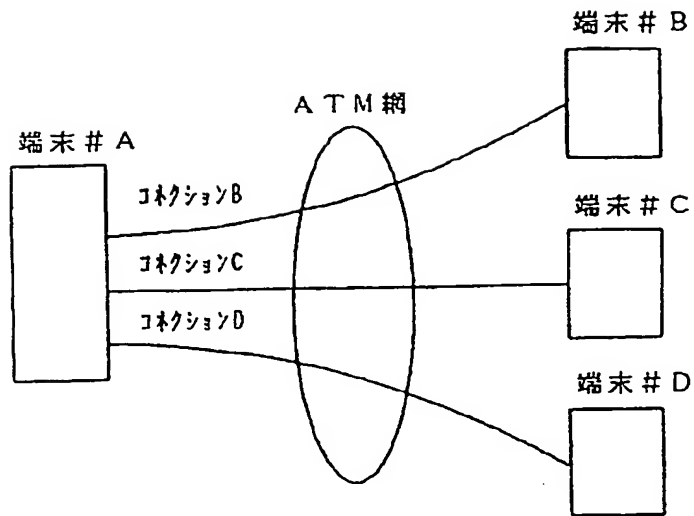
【図2】



【図4】

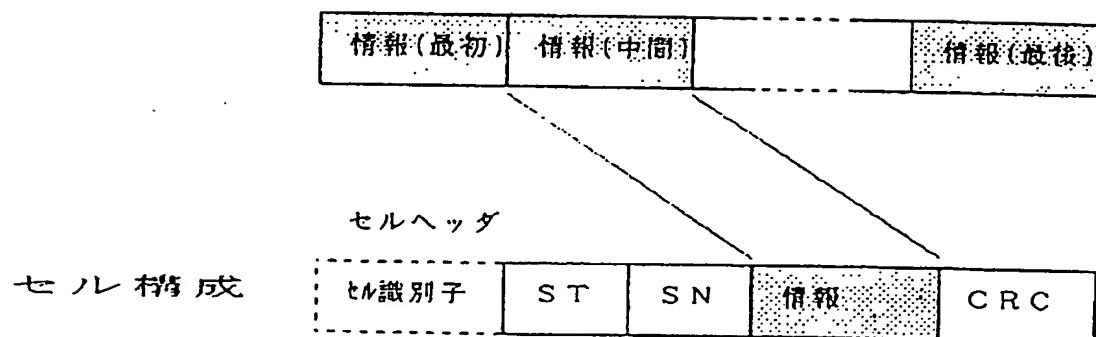


【図5】



【図6】

フレーム構成



【図7】

